

MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent Number: JP5152449
Publication date: 1993-06-18
Inventor(s): BABA TOMOYA
Applicant(s): SHARP CORP
Requested Patent: ☐ JP5152449
Application Number: JP19910312164 19911127
Priority Number(s):
IPC Classification: H01L21/90; H01L21/285; H01L21/3205
EC Classification:
Equivalents:

Abstract

PURPOSE: To obtain an excellent coverage of a contact with wirings and to realize formation of the contact and the wirings with high reliability by dividing, when wirings are formed by using a types of contact holes having different depths, the wirings according to the holes of different depths, and filling them with tungsten n times.

CONSTITUTION: Wirings are formed, for example by using two types of contact holes 7a, 7b having different depths. First, a transistor section is formed on a P-type silicon substrate 1, an interlayer insulating film 6 is then deposited, and then a shallower contact hole 7a is formed. Then, the hole 7a is filled with tungsten, and it is covered with a nitrogen-rich titanium nitride film 9 by using a reactive sputtering method. Thereafter, a deeper contact hole 7b is formed, the hole 7b is filled with tungsten, then the film 9 is altered to a titanium nitride film 10 by nitriding annealing, Al is deposited, patterned, and a wiring 11 is then formed.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-152449

(43)公開日 平成5年(1993)6月18日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	FI	技術表示箇所
H 0 1 L 21/90	C	7353-4M		
21/285	3 0 1 R	7738-4M		
21/3205		7353-4M	H 0 1 L 21/ 88	B

審査請求 未請求 請求項の数2(全 4 頁)

(21)出願番号 特願平3-312164
 (22)出願日 平成3年(1991)11月27日

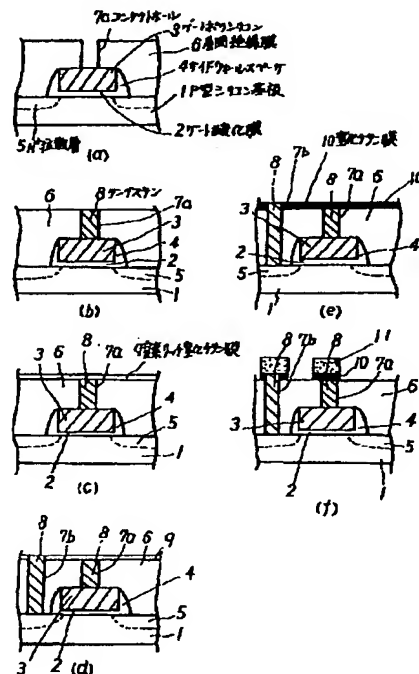
(71)出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (72)発明者 馬場 智也
 大阪府大阪市阿倍野区長池町22番22号 シ
 ャープ株式会社内
 (74)代理人 弁理士 梅田 勝

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【構成】 P型シリコン基板1に従来技術により、トランジスタ部を形成し、層間絶縁膜6を堆積した後、浅い方のコンタクトホール7aを形成する。次に、タングステンコンタクトホール7aに埋め込み、反応性スパッタ法を用いて、窒素リッチ窒化チタン膜9で被覆する。次に、深い方のコンタクトホール7bを形成し、タングステンを埋め込んだ後、窒化アニールにより、窒素リッチ窒化チタン膜9を窒化チタン膜10に変える。次に、従来方法により、Alを堆積し、パターニング後、配線11を形成する。

【効果】 深さの異なるコンタクトホールにおいて、アルミニウム配線のコンタクト部の被覆も良好な状態が得られ、コンタクト部での信頼性が向上する。



1

【特許請求の範囲】

【請求項1】 n 種類 ($n \geq 2$) の深さの異なるコンタクトホールを用いて配線を形成する工程を有する半導体装置の製造方法において、

層間絶縁膜に、同じ深さのコンタクトホールを形成し、該コンタクトホールに選択CVD法でタングステンを埋め込んだ後、該コンタクトホール及び層間絶縁膜の上部に、表面に正のチャージを有する化合物メタル膜又は表面に薄い絶縁膜を有する導電膜を形成する工程と、前記工程を ($n-1$) 回繰り返した後、 n 回目のコンタクトホール形成及び選択CVD法によるタングステンの埋め込みを行い、前記表面に正のチャージを有する化合物メタル膜又は表面に薄い絶縁膜を有する導電膜上及び前記タングステン層上に配線材料を堆積し、パターニング後、前記表面に正のチャージを有する化合物メタル膜又は薄い絶縁膜を有する導電膜と配線とをエッチングし、配線を形成する工程とを有することを特徴とする、半導体装置の製造方法。

【請求項2】 n 種類 ($n \geq 2$) の深さの異なるコンタクトホールを用いて配線を形成する工程を有する半導体装置の製造方法において、層間絶縁膜に、同じ深さのコンタクトホールを形成し、該コンタクトホールに選択CVD法でタングステンを埋め込んだ後、該コンタクトホール及び層間絶縁膜の上部に、絶縁膜を形成する工程と、前記工程を ($n-1$) 回繰り返した後、 n 回目のコンタクトホール形成及び選択CVD法によるタングステンの埋め込みを行い、($n-1$) 回目以前に形成したタングステン層上部の絶縁膜をフォトリソ、エッチング工程により除去し、前記絶縁膜及び前記タングステン層上に配線材料を堆積し、パターニング後、前記配線材料をエッチングし、配線を形成する工程とを有することを特徴とする、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置の製造方法、更に詳しくは、深さの異なるコンタクトホールの穴埋めによる配線形成方法に関するものである。

【0002】

【従来の技術】 LSIの高集積化に伴い、コンタクトホールの寸法は縮小される反面、その深さは縮小されていないため、上層配線と電気的導通を取る場合に、従来の配線技術では、困難になっている。近年、上記問題点を解決する手段として、選択的にコンタクトホールにタングステン等を穴埋めする技術が検討され、一部実用化されている。現在、主として深さの異なるコンタクトホールに選択的に一度にタングステンを埋め込む方法が採られている。

【0003】

【発明が解決しようとする課題】 ハーフミクロンのデバ

2

イスに於いては、選択CVD法を用いて、深さの異なるコンタクトホールに一度にタングステンを埋め込む方法では、浅い方のコンタクトホールではオーバーフローしてしまい、上層の配線の加工不良等が生じる。

【0004】 また、深い方のコンタクトホールでは、十分に穴埋めが行なえず、配線とのコンタクトが良好に得られない、あるいは上層の配線のホール部での被覆性の低下による信頼性の低下等の問題が生じることがある。

【0005】 本発明は、深さの異なるコンタクトホールを有する半導体装置において、高信頼性を持つコンタクト形成及び配線形成技術を提供することを目的とする。

【0006】

【課題を解決するための手段】 請求項1記載の本発明の半導体装置の製造方法は、 n 種類 ($n \geq 2$) の深さの異なるコンタクトホールを用いて配線を形成する工程を有する半導体装置の製造方法において、層間絶縁膜に、同じ深さのコンタクトホールを形成し、該コンタクトホールに選択CVD法でタングステンを埋め込んだ後、該コンタクトホール及び層間絶縁膜の上部に、表面に正のチャージを有する化合物メタル膜又は表面に薄い絶縁膜を有する導電膜を形成する工程と、前記工程を ($n-1$) 回繰り返した後、 n 回目のコンタクトホール形成及び選択CVD法によるタングステンの埋め込みを行い、前記表面に正のチャージを有する化合物メタル膜又は表面に薄い絶縁膜を有する導電膜上及び前記タングステン層上に配線材料を堆積し、パターニング後、前記表面に正のチャージを有する化合物メタル膜又は薄い絶縁膜を有する導電膜と配線材料とをエッチングし、配線を形成する工程とを有することを特徴とするものである。

【0007】 また、請求項2記載の本発明の半導体装置の製造方法は、 n 種類 ($n \geq 2$) の深さの異なるコンタクトホールを用いて配線を形成する工程を有する半導体装置の製造方法において、層間絶縁膜に、同じ深さのコンタクトホールを形成し該コンタクトホールに選択CVD法でタングステンを埋め込んだ後、該コンタクトホール及び層間絶縁膜の上部に絶縁膜を形成する工程と、前記工程を ($n-1$) 回繰り返した後、 n 回目のコンタクトホール形成及び選択CVD法によるタングステンの埋め込みを行い、($n-1$) 回目以前に形成したタングステン層の上部の絶縁膜をフォトリソ、エッチング工程により除去し、前記絶縁膜及び前記タングステン層上に配線材料を堆積し、パターニング後、前記配線材料をエッチングし、配線を形成する工程とを有することを特徴とするものである。

【0008】

【作用】 上記構成を有する製造方法を用いることにより、深さの異なるコンタクトホールに別々にタングステンを埋め込み、良好な各コンタクト部と配線との被覆性が得られる。

【0009】

50

3

【実施例】以下、実施例に基づいて、本発明を詳細に説明する。

【0010】図1は、請求項1記載の本発明の一実施例の製造工程図、図2は請求項2記載の本発明の一実施例の製造工程図である。図1及び図2において、1はP型シリコン基板、2はゲート酸化膜、3はゲートポリシリコン、4はサイドウォールスペーサ、5はN⁺拡散層、6は層間絶縁膜、7a、7b、7c及び7dはコンタクトホール、8はタングステン、9はタングステン成長防止膜、10は窒化チタン、11は配線、12は絶縁膜であるシリコン酸化膜を示す。

【0011】次に、請求項1の本発明の一実施例の製造工程について説明する。

【0012】まず、従来技術を用いてP型シリコン基板1上に、ゲート酸化膜2、ゲートポリシリコン3、サイドウォールスペーサ4を、また、P型シリコン基板1表面近傍に、N⁺拡散層5を形成し、トランジスタ部を形成した後、全面に層間絶縁膜6を堆積し、通常のフォトリソグラフィ工程及びドライエッチング工程により、浅い方のコンタクトホール7aを形成し(図1(a))、その後、WF₆及びSiH₄を用いて、約200℃の温度で選択CVD法により、浅い方のコンタクトホール7aにタングステン8を埋め込む(図1(b))。

【0013】次に、前記層間絶縁膜6及び前記タングステン8上に窒素中でチタンをターゲットとして反応性スパッタ法により窒素リッチの窒化チタン膜をタングステン成長防止膜9として形成する(図1(c))。

【0014】次に、上記と同様の工程を用い、深い方のコンタクトホール7bの形成及びタングステン8の埋め込みを行う(図1(d))。この時、前記窒素リッチの窒化チタン膜9上には、タングステン8は堆積しない。また、該コンタクトホール7bの形成は、まず、窒素リッチの窒化チタン膜9エッチングを行なった後、層間絶縁膜6のエッチングを行う。

【0015】3種類以上の深さのコンタクトホールを形成する場合は、上記工程を繰り返し、最後のコンタクトホールにタングステン8を埋め込んだ後、また、2種類の深さのコンタクトホールを形成する場合は、上記工程後、窒素雰囲気中で600℃程度の熱処理を行い、窒素リッチの窒化チタン膜9を窒化チタン膜10にし、低抵抗化を図る(図1(e))。

【0016】次に、配線材料としてAl等を堆積し、パターニング後、前記窒化チタン膜10及び配線材料をエッチングすることにより、配線11を形成する(図1(f))。

【0017】上記請求項1記載の本発明において、タングステン成長防止膜9として上記窒化チタンの他に薄い絶縁膜を有する導電体であるポリシリコン及び表面に正のチャージを有する化合物メタルとして窒化タングステン等が使用可能である。また、窒素リッチの窒化チタン

4

膜は、抵抗が高いが導電体であるので窒化アニールによって窒化チタンにする工程は必ずしも必要ではない。

【0018】次に、請求項2記載の本発明の製造方法について、説明する。

【0019】まず、前記請求項1記載の本発明の製造方法と同様に、浅い方のコンタクトホール7cを形成し、タングステン8を選択CVD法により埋め込む(図2(a)、(b))。

【0020】次に、CVD法により絶縁膜としてシリコン酸化膜12を堆積し(図2(c))、その後、深い方のコンタクトホール7dの形成及びタングステン8の埋め込みを行う(図2(d))。

【0021】次に、フオトリソ、エッチング工程により、浅い方のコンタクトホール7d上部のシリコン酸化膜12を除去し(図2(e))、その後配線材料としてAl等を堆積し、パターニング後、前記配線材料をエッチングすることにより、配線11を形成する(図2(f))。

【0022】本実施例において、3種類以上の深さのコンタクトホールを有する場合、請求項1の本発明の実施例と同様の工程によって配線形成を行う。また、本発明における絶縁膜材料はシリコン酸化膜に限定されるものではない。

【0023】

【発明の効果】以上詳細に説明した様に、請求項1及び2記載の本発明を用いることにより、深さの異なるコンタクトホールに、同様にタングステンの埋め込みができ、一度にタングステンを埋め込む方法より、アルミニウム配線のコンタクトホール部の被覆は良好な状態が得られるため、コンタクト部での信頼性の向上ができる。

【0024】また、請求項1記載の本発明は、上部のアルミニウム配線とのコンタクトに導電性の窒化チタンを用いることで、自己整合的に配線形成でき、また、図2(f)に示すような、段差によるアルミニウム配線の被覆性の劣化がない点で、請求項2記載の本発明より優れている。

【図面の簡単な説明】

【図1】請求項1記載の本発明の一実施例の製造工程図である。

【図2】請求項2記載の本発明の一実施例の製造工程図である。

【符号の説明】

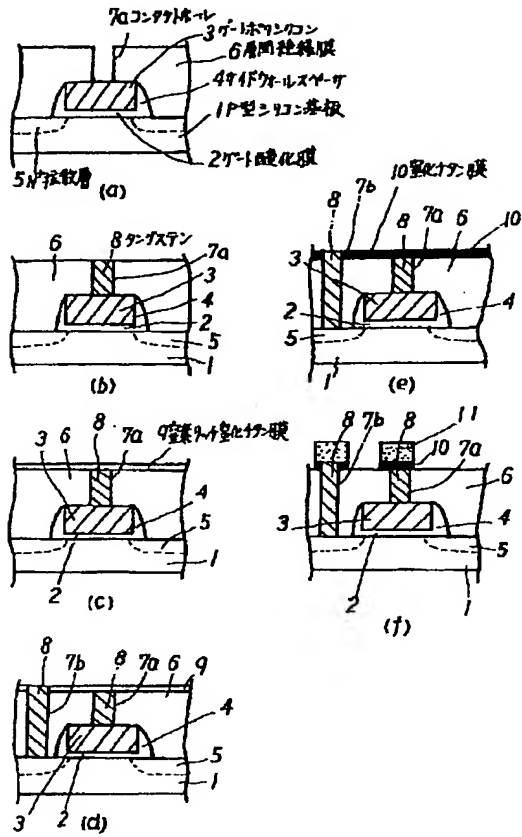
- 1 P型シリコン基板
- 2 ゲート酸化膜
- 3 ゲートポリシリコン
- 4 サイドウォールスペーサ
- 5 N⁺拡散層
- 6 層間絶縁膜
- 7a, 7b, 7c, 7d コンタクトホール
- 8 タングステン

5

9 窒素リッチ窒化チタン膜

10 窒化チタン

【図1】

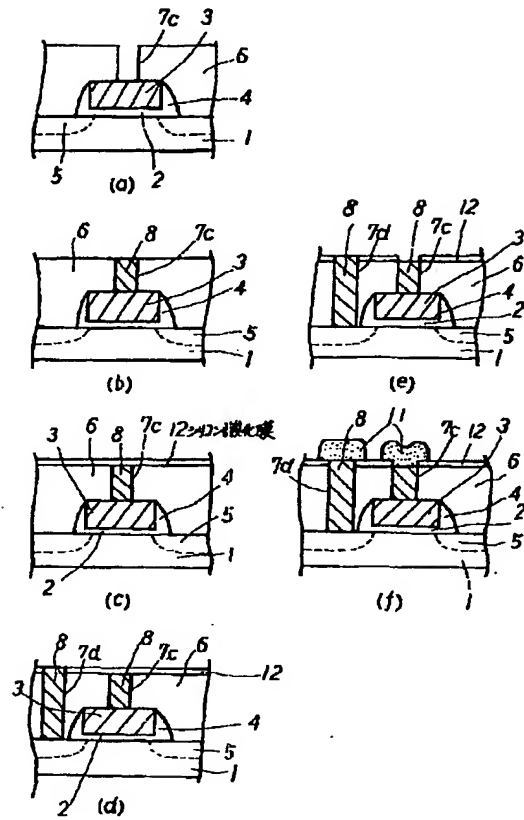


6

11 配線

12 シリコン酸化膜

【図2】



CLIPPEDIMAGE= JP405152449A

PAT-NO: JP405152449A

DOCUMENT-IDENTIFIER: JP 05152449 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: June 18, 1993

INVENTOR-INFORMATION:

NAME

BABA, TOMOYA

ASSIGNEE-INFORMATION:

NAME

SHARP CORP

COUNTRY

N/A

APPL-NO: JP03312164

APPL-DATE: November 27, 1991

INT-CL (IPC): H01L021/90;H01L021/285 ;H01L021/3205

US-CL-CURRENT: 438/352,438/656 ,438/680 ,438/FOR.352
,438/FOR.405

ABSTRACT:

PURPOSE: To obtain an excellent coverage of a contact with wirings and to realize formation of the contact and the wirings with high reliability by dividing, when wirings are formed by using a types of contact holes having different depths, the wirings according to the holes of different depths,

and

filling them with tungsten n times.

CONSTITUTION: Wirings are formed, for example by using two types of contact

holes 7a, 7b having different depths. First, a transistor section is formed on

a P-type silicon substrate 1, an interlayer insulating film 6 is then deposited, and then a shallower contact hole 7a is formed. Then, the hole 7a

is filled with tungsten, and it is covered with a nitrogen-rich titanium nitride film 9 by using a reactive sputtering method. Thereafter, a deeper

contact hole 7b is formed, the hole 7b is filled with tungsten, then the film 9

is altered to a titanium nitride film 10 by nitriding annealing, Al is deposited, patterned, and a wiring 11 is then formed.

COPYRIGHT: (C)1993,JPO&Japio